

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-198338

(43)Date of publication of application : 31.07.1997

(51)Int.Cl.

G06F 13/28

(21)Application number : 08-005157

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 16.01.1996

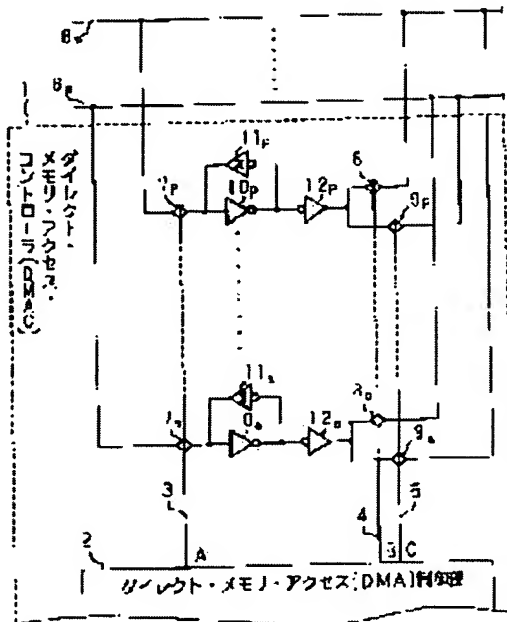
(72)Inventor : OTSUKA TAKAHIRO

(54) DMA CONTROLLER

(57)Abstract:

PROBLEM TO BE SOLVED: To shorten the transfer time of data and to miniaturize the layout pattern of a data transfer system by providing respectively specified 1st and 2nd opening/closing parts and a control part.

SOLUTION: A control signal A is outputted from a direct memory access(DMA) control part 2 to a control signal line 3. As for the data of data buses 6a-6p latched by a latch part composed of inverters 10a-10p...12a-12p, when not inverting the MSB and LSB of data, the signal A is not outputted and transmission gates 7a-7p are turned off. When a control signal B is outputted thereafter, transmission gates 8a-8p are turned on, the latched data are outputted to the buses 6a-6p, and ordinary DMA transfer is performed. When inverting the MSB and LSB, on the other hand, the gates 7a-7p are similarly turned off. When a control signal C is outputted thereafter, transmission gates 9a-9p are turned on and the latched data are outputted to the buses 6p-6a and transferred while inverting the MSB and LSB.



LEGAL STATUS

[Date of request for examination] 12.12.2002

[Date of sending the examiner's decision of rejection] 19.07.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-198338

(43) 公開日 平成9年(1997)7月31日

(51) Int.Cl.⁶

G 0 6 F 13/28

識別記号

3 1 0

庁内整理番号

F I

G 0 6 F 13/28

技術表示箇所

3 1 0 K

審査請求 未請求 請求項の数 5 O L (全 9 頁)

(21) 出願番号 特願平8-5157

(22) 出願日 平成8年(1996)1月16日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 大塚 隆広

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

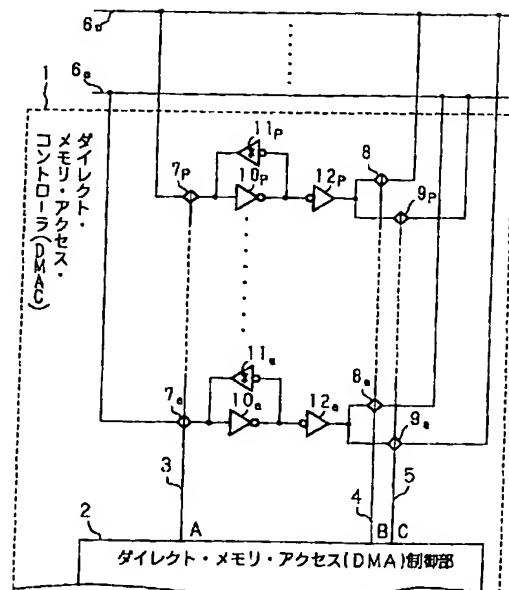
(74) 代理人 弁理士 河野 登夫

(54) 【発明の名称】 ダイレクト・メモリ・アクセス・コントローラ

(57) 【要約】

【課題】 データの転送回数を低減でき、データを転送させる周辺回路を削減できるダイレクト・メモリ・アクセス・コントローラを提供すること。

【解決手段】 データバス6a(…6p)を、トランスミッションゲート7a(…7p)とインバータ10a(…10p)と、インバータ12a(…12p)と、トランスミッションゲート8a(…8p)との直列回路を介してデータバス6(…6p)と接続する。インバータ10a(…10p)にインバータ11a(…11p)を逆並列接続する。インバータ12a(…12p)とトランスミッションゲート8a(…8p)との接続中間点を、トランスミッションゲート9a(…9p)を介して、データバス6p(…6a)と接続する。



6a~6p---データバス
8a~8p---トランスミッションゲート
9a~9p---トランスミッションゲート

【特許請求の範囲】

【請求項1】 データバスを介して、転送元のメモリ又は周辺回路からのデータをラッチしたラッチデータを、転送先のメモリ又は周辺回路へ転送すべく制御するダイレクト・メモリ・アクセス・コントローラにおいて、前記ラッチデータの最上位ビットから最下位ビットまでのデータを、データバスの最上位ビットから最下位ビットまでのビットに対応づけて出力させる第1開閉部と、前記ラッチデータの最上位ビットから最下位ビットまでのデータを、データバスの最下位ビットから最上位ビットまでのビットに対応づけて出力させる第2開閉部と、前記第1開閉部及び第2開閉部を開閉制御する制御部とを備えることを特徴とするダイレクト・メモリ・アクセス・コントローラ。

【請求項2】 データバスを介して、転送元のメモリ又は周辺回路からのデータをラッチしたラッチデータを転送先のメモリ又は周辺回路へ転送すべく制御するダイレクト・メモリ・アクセス・コントローラにおいて、前記ラッチデータの反転データを発生させるデータ発生部と、該データ発生部で発生した反転データをデータバスへ出力させる開閉部と、該開閉部を開閉制御する制御部とを備えることを特徴とするダイレクト・メモリ・アクセス・コントローラ。

【請求項3】 データバスを介して、転送元のメモリ又は周辺回路からのデータをラッチしたラッチデータを、転送先のメモリ又は周辺回路へ転送すべく制御するダイレクト・メモリ・アクセス・コントローラにおいて、前記データバス上のデータを入力すべきシフトレジスタと、該シフトレジスタのデータをデータバスへ出力させる開閉部と、前記シフトレジスタ及び開閉部を制御する制御部とを備えることを特徴とするダイレクト・メモリ・アクセス・コントローラ。

【請求項4】 第1データバスを介して、転送元のメモリ又は周辺回路からのデータをラッチしたラッチデータを、転送先のメモリ又は周辺回路へ転送すべく制御するダイレクト・メモリ・アクセス・コントローラにおいて、前記ラッチデータの最上位ビットを第2データバスへ出力させる開閉部と、該開閉部を開閉制御する制御部とを備えることを特徴とするダイレクト・メモリ・アクセス・コントローラ。

【請求項5】 第1データバスを介して、転送元のメモリ又は周辺回路からのデータをラッチしたラッチデータを、転送先のメモリ又は周辺回路へ転送すべく制御するダイレクト・メモリ・アクセス・コントローラにおいて、所定データを発生させるデータ発生部と、該データ発生部のデータを第2データバスへ出力させる開閉部と、該開閉部を開閉制御する制御部とを備えることを特徴とするダイレクト・メモリ・アクセス・コントローラ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ダイレクト・メモリ・アクセス・コントローラに関するものである。

【0002】

【従来の技術】データの転送元と転送先とに対して交互にアドレス信号及び制御信号を出力してメモリ相互間、及びメモリ、I/O間等で高速のデータ転送を行わせるダイレクト・メモリ・アクセス・コントローラ（以下DMACという）が知られている。このDMACは、CPU及びI/O等の周辺回路からのダイレクト・メモリ・アクセス動作（以下DMA動作という）の要求を受けて、転送元となるメモリから読み出したデータを一時保存して転送先となるメモリへ書き込んだり、また、転送元のメモリから読み出したデータを直接転送先のメモリへ書き込んだりする。ここで、このDMACがDMA動作中に転送元のメモリ及び転送先のメモリに対して出力するアドレスは、予め作成されたプログラムに基づいて、1回のデータ転送動作ごとに演算、更新をする。

【0003】図7は従来のDMACを備え、シリアルI/O、データ反転レジスタ、メモリ及びCPUを備えるデータ転送システムの構成を示すブロック図である。データバス27に、DMAC21、CPU22、メモリ23、データのMSBとLSBとを反転させるデータ反転レジスタ24及びシリアルI/O25が接続される。シリアルI/O25にはデータを入出力する入出力端子26が備えられる。

【0004】次にこのデータ転送システムの動作を説明する。入出力端子26から入出力されるデータは前記入出力端子に接続される通信先相手により、MSB、LSBが反転して送られてくる。このように反転して送られてきたデータをDMAC21がシリアルI/O25から取り込んでデータ反転レジスタ24へ一旦格納し、そこで転送されてきたデータのMSBとLSBとを反転させる。そして再びDMAC21が、MSB及びLSBが反転したデータをデータ反転レジスタ24から読み出し、メモリ23へ格納する2回のデータ転送動作を実行する。この動作はCPU22を用いて実行する場合も同様である。

【0005】一方、ダイレクトメモリアクセス装置は、特開平4-348446号公報に示されている。このダイレクトメモリアクセス装置は、転送されるデータが読み出されるデータ転送元装置と、転送されてきたデータが書き込まれるデータ転送先装置と、転送元アドレスを発生する転送元アドレス発生手段と、転送先アドレスを発生する転送先アドレス発生手段と、データパターンを記憶しておくレジスタ手段と、転送元アドレスに基づきデータ転送元装置から読み出されたデータとレジスタ手段から読み出されたデータとの間で演算を行い演算データを出力する演算手段と、この演算手段からの演算デー

タを一時的に保持し保持した演算データを転送元アドレスを受けてデータ転送先装置に出力するデータ保持手段とを備えている。

【0006】

【発明が解決しようとする課題】前述したように、従来のDMACを備えるデータ転送システムによれば転送されてきたデータをメモリへ格納する場合、2回のデータ転送動作を実行しなければならず、データ転送に長い時間を必要としデータを高速度に処理できないという問題がある。また、周辺回路にデータのMSB、LSBを反転させる機能を備える必要があり、レイアウトパターンが大型化するという問題がある。

【0007】一方、特開平4-348446号公報に示されているダイレクトメモリアクセス装置も、前述した従来のデータ転送システムと同様、データバスにレジスタ手段、演算手段及びデータ保持手段を接続しており、レイアウトパターンが大型化するという問題がある。本発明は斯かる問題に鑑み、データの転送時間を短縮でき、データ転送システムのレイアウトパターンの小型化が図れるダイレクト・メモリ・アクセス・コントローラを提供することを目的とする。

【0008】

【課題を解決するための手段】第1発明に係るダイレクト・メモリ・アクセス・コントローラは、データバスを介して、転送元のメモリ又は周辺回路からのデータをラッチしたラッチデータを、転送先のメモリ又は周辺回路へ転送すべく制御するダイレクト・メモリ・アクセス・コントローラにおいて、前記ラッチデータの最上位ビットから最下位ビットまでのデータを、データバスの最上位ビットから最下位ビットまでのビットに対応づけて出力させる第1開閉部と、前記ラッチデータの最上位ビットから最下位ビットまでのデータを、データバスの最下位ビットから最上位ビットまでのビットに対応づけて出力させる第2開閉部と、前記第1開閉部及び第2開閉部を開閉制御する制御部とを備えることを特徴とする。

【0009】第2発明に係るダイレクト・メモリ・アクセス・コントローラは、データバスを介して、転送元のメモリ又は周辺回路からのデータをラッチしたラッチデータを転送先のメモリ又は周辺回路へ転送すべく制御するダイレクト・メモリ・アクセス・コントローラにおいて、前記ラッチデータの反転データを発生させるデータ発生部と、該データ発生部で発生した反転データをデータバスへ出力させる開閉部と、該開閉部を開閉制御する制御部とを備えることを特徴とする。

【0010】第3発明に係るダイレクト・メモリ・アクセス・コントローラは、データバスを介して、転送元のメモリ又は周辺回路からのデータをラッチしたラッチデータを、転送先のメモリ又は周辺回路へ転送すべく制御するダイレクト・メモリ・アクセス・コントローラにおいて、前記データバス上のデータを入力すべきシフトレ

ジスタと、該シフトレジスタのデータをデータバスへ出力させる開閉部と、前記シフトレジスタ及び開閉部を制御する制御部とを備えることを特徴とする。

【0011】第4発明に係るダイレクト・メモリ・アクセス・コントローラは、第1データバスを介して、転送元のメモリ又は周辺回路からのデータをラッチしたラッチデータを、転送先のメモリ又は周辺回路へ転送すべく制御するダイレクト・メモリ・アクセス・コントローラにおいて、前記ラッチデータの最上位ビットを第2データバスへ出力させる開閉部と、該開閉部を開閉制御する制御部とを備えることを特徴とする。

【0012】第5発明に係るダイレクト・メモリ・アクセス・コントローラは、第1データバスを介して、転送元のメモリ又は周辺回路からのデータをラッチしたラッチデータを、転送先のメモリ又は周辺回路へ転送すべく制御するダイレクト・メモリ・アクセス・コントローラにおいて、所定データを発生させるデータ発生部と、該データ発生部のデータを第2データバスへ出力させる開閉部と、該開閉部を開閉制御する制御部とを備えることを特徴とする。

【0013】第1発明では、第1開閉部をオンにすると、ラッチデータの最上位ビットから最下位ビットまでが、データバスの最上位ビットから最下位ビットに対応づけて出力される。第2開閉部をオンにすると、ラッチデータの最上位ビットから最下位ビットまでが、データバスの最下位ビットから最上位ビットに対応づけて出力される。これにより、転送すべきデータを、転送先のビット順位に対応させたデータに変更できる。

【0014】第2発明では、開閉部をオンにすると、ラッチデータの反転データがデータバスへ出力される。これにより、ラッチデータの反転データをデータバスへ出力できる。

【0015】第3発明では、ラッチデータをシフトレジスタが取り込む。シフトレジスタは、取り込んだラッチデータを所定のシフト方向へシフトする。開閉部をオンにすると、シフトしたシフトレジスタのデータがデータバスへ出力される。これにより、シフトしたデータをデータバスへ出力できる。

【0016】第4発明では、開閉部をオンにすると、ラッチデータの最上位ビットが第2データバスへ出力される。これにより、ラッチデータの最上位ビットを拡張でき、転送するデータを転送先のビットに対応できる。

【0017】第5発明では、データ発生部で所定データを発生させる。開閉部をオンにすると、データ発生部の所定データが第2データバスへ出力される。これにより、ラッチデータの所定ビットを拡張でき、転送するデータを転送先のビットに対応できる。

【0018】

【発明の実施の形態】以下本発明を、発明の実施の形態を示す図面により詳述する。

〔実施の形態1〕図1は、本発明に係るDMACの実施の形態1の構成を示すブロック図である。1はDMACを示し、2はDMA制御部を示している。データバス6a(…6p)は、トランスミッションゲート7a(…7p)とインバータ10a(…10p)とインバータ12a(…12p)と、第1開閉部たるトランスミッションゲート8a(…8p)との直列回路を介してデータバス6a(…6p)と接続される。インバータ12a(…12p)とトランスミッションゲート8a(…8p)との接続中間点は、第2開閉部たるトランスミッションゲート9a(…9p)を介してデータバス6p(…6a)と接続される。インバータ10a(…10p)にはトランスミッションゲート7a…7pより出力駆動能力が小さいインバータ11a(…11p)が逆並列接続される。DMA制御部2が出力する制御信号Aを与える制御信号線3は、トランスミッションゲート7a…7pの各ゲートと共通接続され、制御信号Bを与える制御信号線4はトランスミッションゲート8a…8pの各ゲートと共通接続される。また制御信号Cを与える制御信号線5はトランスミッションゲート9a…9pの各ゲートと共通接続される。

【0019】次にこのように構成したDMACの動作を説明する。DMA制御部2から制御信号線3に制御信号Aを出力すると、トランスミッションゲート7a(…7p)がオンして、データバス6a(…6p)のデータが、インバータ10a(…10p)、インバータ11a(…11p)、インバータ12a(…12p)で構成されているラッチ部にラッチされる。ラッチされたデータは、データのMSB、LSBを反転させない場合、制御信号Aを非出力にしてトランスミッションゲート7a…7pをオフにする。その後制御信号線4に制御信号Bを出力すると、トランスミッションゲート8a…8pがオンし、データバス6a(…6p)から取り込んでラッチしているデータはデータバス6a(…6p)へ出力されて、通常のDMA転送を実行する。

【0020】一方、データのMSB、LSBを反転させる場合は、制御信号Aを非出力にしてトランスミッションゲート7a…7pをオフにする。その後制御信号線5に制御信号Cを出力すると、トランスミッションゲート9a…9pがオンし、データバス6a…6pから取り込んでラッチしているデータはデータバス6p…6aへ出力されてMSB、LSBを反転させて転送先へデータ転送を実行する。

【0021】このようにラッチ部がラッチしているデータのMSB、LSBを反転させずに出力する回路と、反転させて出力する回路とを備えることにより、DMACにおいてデータのMSB、LSBの反転、非反転を行わせることができ、1回のデータ転送で転送元のデータを転送先へMSB、LSBを反転してデータ転送することができる。

【0022】〔実施の形態2〕図2は本発明に係るDMACの実施の形態2の構成を示すブロック図である。データ発生部たるインバータ10a(…10p)と、インバータ11a(…11p)と、インバータ12a(…12p)との接続中間点は、開閉部たるトランスミッションゲート9a(…9p)を介してデータバス6a(…6p)と接続される。それ以外の構成は図1に示したDMACと同様であり、同一構成部分には同一符号を付している。

【0023】次にこのDMACの動作を説明する。DMA制御部2から制御信号線3に制御信号Aを出力すると、トランスミッションゲート7a…7pがオンし、データバス6a(…6p)のデータは、インバータ10a(…10p)、インバータ11a(…11p)と、インバータ12a(…12p)で構成されているラッチ部にラッチされる。次に、ラッチしたデータのビットデータを反転させない場合は制御信号Aを非出力にしてトランスミッションゲート7a…7pをオフにする。その後DMA制御部2から制御信号線4に制御信号Bを出力する。そうするとトランスミッションゲート8a…8pがオンして、データバス6a(…6p)から取り込んだデータは、そのままデータバス6a(…6p)へ出力する通常のDMA転送を実行する。

【0024】また、データのビットデータを反転させる場合、即ちビットデータを「0」から「1」へ、「1」から「0」へ反転させる場合は、制御信号線5に制御信号Cを出力する。そうするとトランスミッションゲート9a…9pがオンして、データバス6a…6pから取り込んだデータの、ビットデータが反転しているデータを、データバス6a…6pへ出力する。そしてデータバス6a…6pのデータのビットデータが反転したデータを転送先へ転送する。

【0025】このようにして、ラッチ部がラッチしているデータを、ビットデータを反転させない回路と、ビットデータを反転させる回路とを備えることにより、DMA転送により容易にビットデータを反転することができ、1回のデータ転送で転送元のデータを、転送先へビットデータを反転、非反転して転送することができる。

【0026】〔実施の形態3〕図3は本発明に係るDMACの実施の形態3の構成を示すブロック図である。インバータ12a(…12o, 12p)の出力端子はトランスミッションゲート8a(…8o, 8p)を介してデータバス6a(…6o, 6p)と接続される。インバータ12a(…12o, 12p)と、トランスミッションゲート8a(…8o, 8p)との接続中間点は、加減算器13の一侧の入力端子と接続される。所定データを予め格納しておく加減算データレジスタ14は加減算器13の他側の入力端子と接続される。加減算器13の出力端子は各別にトランスミッションゲート9a(…9o, 9p)を介してデータバス6a(…6o, 6p)と接続

される。それ以外の構成は図1に示す構成と同様であり、同一構成部分には同一符号を付している。

【0027】次にこのように構成したDMACの動作を説明する。DMA制御部2から制御信号線3に制御信号Aを出力すると、トランスミッションゲート7a…7o, 7pがオンして、データバス6a(…6o, 6p)のデータを、インバータ10a(…10o, 10p)とインバータ11a(…11o, 11p)とインバータ12a(…12o, 12p)とで構成されているラッチ部がラッチする。ラッチされたデータは、データを加減算しない場合は、制御信号Aを非出力にして、トランスミッションゲート7a…7o, 7pをオフにする。その後制御信号線4に制御信号Bを出力すると、トランスミッションゲート8a…8o, 8pがオンしてデータバス6a…6o, 6pから取り込んでラッチしたデータを、データバス6a(…6o, 6p)へ出力する通常のDMA転送をする。

【0028】一方、データバス6a(…6o, 6p)から取り込んだデータに所定データを加算又は減算する場合は、制御信号A, Bを非出力にしてトランスミッションゲート7a(…7o, 7p)及び8a(…8o, 8p)をオフにする。その後制御信号線5に制御信号Cを出力すると、トランスミッションゲート9a…9o, 9pがオンして、データバス6a(…6o, 6p)から取り込まれたデータと、加減算レジスタ14に予め格納しておいた所定データとが加算又は減算され、加算又は減算後のデータはデータバス6a(…6o, 6p)へ出力される。つまり、転送元のデータに所定データを加算又は減算して転送先へ転送できる。

【0029】このように、ラッチ部がラッチしているデータに所定データを加算又は減算しない回路と、所定データを加算又は減算する回路とを備えるか、加減算レジスタに「0」のデータを格納することにより、所定データを加算又は減算する場合と同様になる単一のデータ回路を備えることにより、DMA転送によりラッチしているデータに容易に所定のデータを加算又は減算することができ、1回のデータ転送で、転送元のデータに所定データを加算又は減算して転送先へ転送することができる。

【0030】〔実施の形態4〕図4は本発明に係るDMACの実施の形態4の構成を示すブロック図である。データバス6a(…6o, 6p)は、トランスミッションゲート7a(…7o, 7p)を介して双方向のシフト動作をするシフトレジスタ15のビットb₀(…b₁₄, b₁₅)の入力端子と接続される。シフトレジスタ15のビットb₀(…b₁₄, b₁₅)の出力端子は、開閉部たるトランスミッションゲート8a(…8o, 8p)を介してデータバス6a(…6o, 6p)と接続される。DMA制御部2から制御信号Aが出力される制御信号線3はトランスミッションゲート7a…7o, 7pの各ゲートと

共通に接続され、制御信号Bが出力される制御信号線4は、トランスミッションゲート8a…8o, 8pの各ゲートと共通に接続される。シフトレジスタ15にはDMA制御部2からシフト方向を決めるシフト方向信号S_FとデータをシフトするシフトクロックCLKとが入力される。

【0031】次にこのように構成したDMACの動作を説明する。データバス6a…6o, 6pから取り込んでデータをシフトしない場合は、シフト方向信号S_F及びシフトクロックCLKをDMA制御部2から出力しない。そしてDMA制御部2より制御信号線3へ制御信号Aを出力すると、トランスミッションゲート7a…7o, 7pがオンし、データバス6a…6o, 6pのデータは、シフトレジスタ15に格納される。そして制御信号Aを非出力にしてトランスミッションゲート7a…7o, 7pをオフにする。その後制御信号Bを制御信号線4に出力すると、トランスミッションゲート8a…8o, 8pがオンし、データバス6a(…6o, 6p)から取り込んだデータを、そのままデータバス6a(…6o, 6p)へ出力するデータ転送を実行する。

【0032】一方、データをシフトする場合は、シフトクロックCLKの出力に先行してシフト方向信号S_Fをシフトレジスタ15へ入力し、シフト方向を決定しておく。そして、制御信号線3に制御信号Aを出力すると、トランスミッションゲート7a…7o, 7pがオンし、データバス6a…6o, 6pのデータがシフトレジスタ15に格納される。ここで、シフトクロックCLKをシフトレジスタ15へ入力すると、シフトレジスタ15は決定しているシフト方向(矢符方向)へ、入力されたシフトクロックに応じた回数だけデータをシフトする。その後、DMA制御部2から制御信号線4へ制御信号Bを出力すると、トランスミッションゲート8a…8o, 8pがオンし、シフトしたデータをデータバス6a…6o, 6pへ出力し、転送元のデータをシフトして転送先へ転送できる。

【0033】このようにDMAC内にシフトレジスタを備えることにより、転送元のデータを、適宜回数で予め決めたシフト方向へシフトさせて、1回のデータ転送でシフトさせたデータを転送先へ転送できる。

【0034】〔実施の形態5〕図5は本発明に係るDMACの実施の形態5の構成を示すブロック図である。第2データバスたる上位データバス16a…16pを備える。データバス6pはMSBである。インバータ12pとインバータ8pとの接続中間点は、開閉部たるトランスミッションゲート18a(…18p)を各別に介してデータバス16a(…16p)と接続される。DMA制御部2から制御信号Dが出力される制御信号線17はトランスミッションゲート18a…18pの各ゲートと接続される。それ以外の構成は図1においてトランスミッションゲート9a…9p及び制御信号線5を除いた他の

構成と同様となっており、同一構成部分には同一符号を付している。

【0035】次にこのように構成したDMACの動作を説明する。DMA制御部2から制御信号線3へ制御信号Aを出力すると、トランスミッションゲート7a…7o, 7pがオンして、データバス6a(…6o, 6p)のデータが、インバータ10a(…10o, 10p)と、インバータ11a(…11o, 11p)と、インバータ12a(…12o, 12p)とで構成されるラッチ部にラッチされる。

【0036】次にラッチしたデータをビット拡張しない場合、制御信号Aを非出力にして、トランスミッションゲート7a…7o, 7pをオフにする。その後DMA制御部2から制御信号線4へ制御信号Bを出力すると、トランスミッションゲート8a…8o, 8pがオンして、データバス6a(…6o, 6p)から取り込んだデータを、データバス6a(…6o, 6p)へ出力する通常のDMA転送を実行する。

【0037】一方、ビット拡張する場合、即ちデータバス6pのデータを上位データバス16a…16pへ出力する場合は、ラッチ部がデータをラッチした後、制御信号Aを非出力にしてトランスミッションゲート7a…7o, 7pをオフにする。その後制御信号線4へ制御信号Bを、制御信号線17へ制御信号Dを出力する。そうするとトランスミッションゲート8a…8o, 8p及び18a…18o, 18pがオンし、データバス6a(…6o, 6p)から取り込んだデータはデータバス6a(…6o, 6p)へ、更にデータバス6pから取り込んだデータはデータバス16a…16pへ出力し、ビット拡張して転送先へのデータ転送を実行する。

【0038】このようにデータバス6pのデータをラッチしたデータを、上位データバス16a…16pへ出力する回路を備えることにより、DMA転送により容易にビット拡張ができ、1回のデータ転送動作により転送元のデータを転送先へビット拡張して転送できる。そして、転送先のビットに対応させることができる。

【0039】〔実施の形態6〕図6は本発明に係るDMACの実施の形態6の構成を示すブロック図である。第2データバスたる上位データバス16a…16pを備える。上位データバス16a…16pは、開閉部たるNチャネルトランジスタ20a…20pを各別に介してデータ発生部たる接地電位 V_{ss} に接続される。DMA制御部2が出力する制御信号Eが与えられる制御信号線19は、Nチャネルトランジスタ20a…20pの各ゲートに共通接続される。それ以外の構成は、図1におけるトランスミッションゲート9a…9pを除いた他の構成と同様となっており、同一構成部分には同一符号を付している。

【0040】次にこのように構成したDMACの動作を説明する。DMA制御部2から制御信号線3へ制御信号

Aを出力すると、トランスミッションゲート7a…7pがオンして、データバス6a(…6p)のデータを、インバータ10a(…10p)、インバータ11a(…11p)、インバータ12a(…12p)により構成されているラッチ部がラッチする。上位データバスを接地電位(零レベル)に固定しない場合は、制御信号線4に制御信号Bを出力する。そうするとトランスミッションゲート8a(…8p)がオンしてラッチしていたデータをそのままデータバス6a(…6p)へ出力するDMA転送を実行する。

【0041】一方、上位データバス16a…16pを接地電位(零レベル)に固定する場合は、制御信号Aを非出力にしてトランスミッションゲート7a…7pをオフにする。その後、制御信号線4へ制御信号Bを、制御信号線19へ制御信号Eを出力する。そうすると、トランスミッションゲート8a…8pがオンし、Nチャネルトランジスタ20a…20pがオンして、ラッチしていたデータをデータバス6a…6pへ出力し、一方、上位データバス16a…16pは接地電位 V_{ss} (零レベル)に固定できる。即ち上位データバス16a…16pに所定データを出力する。そして、上位データバス16a…16pを接地電位(零レベル)に固定した状態で、データバス6a…6pにより、ラッチしていたデータを転送する。

【0042】このように、上位データバスを接地電位(零レベル)にする回路を備えることにより、DMA転送により、上位データバスを容易に接地電位(零レベル)に固定でき、1回のデータ転送で、転送元のデータを転送先へ上位データバスを接地電位に固定した状態で転送先へデータを転送できる。そして転送先のビットに対応させることができる。実施の形態において用いた加減算データレジスタに代えて、選択スイッチにより加減算データを与えるようにしてもよい。

【0043】

【発明の効果】以上詳述したように、第1発明によれば、データバスのデータの上位、下位を反転させて、データバスへデータを転送するダイレクト・メモリ・アクセス・コントローラを提供できる。第2発明によれば、データバスのデータの反転データをデータバスへ転送するダイレクト・メモリ・アクセス・コントローラを提供できる。第3発明によれば、データバスのデータをシフトさせて、シフトさせたデータをデータバスへ転送するダイレクト・メモリ・アクセス・コントローラを提供できる。第4発明では、第1データバスのデータをそのまま第1データバスへ転送するとともに、ビット拡張させたデータを第2データバスへ転送するダイレクト・メモリ・アクセス・コントローラを提供できる。第5発明では、第1データバスのデータを、そのまま第1データバスへ転送するとともに、第2データバスへ所定データを転送するダイレクト・メモリ・アクセス・コントローラ

を提供できる。

【0044】これにより、本発明によれば、データ転送システムにおいて、データを転送する回数を減少させることができ、またデータを転送する周辺回路の数を少なくし得て、そのレイアウトパターンを縮小でき、データ転送システムの大幅な小型化が図れるダイレクト・メモリ・アクセス・コントローラを提供できる優れた効果を奏する。

【図面の簡単な説明】

【図1】 本発明に係るダイレクト・メモリ・アクセス・コントローラの実施の形態1の構成を示すブロック図である。

【図2】 本発明に係るダイレクト・メモリ・アクセス・コントローラの実施の形態2の構成を示すブロック図である。

【図3】 本発明に係るダイレクト・メモリ・アクセス・コントローラの実施の形態3の構成を示すブロック図である。

【図4】 本発明に係るダイレクト・メモリ・アクセス・コントローラの実施の形態4の構成を示すブロック図

である。

【図5】 本発明に係るダイレクト・メモリ・アクセス・コントローラの実施の形態5の構成を示すブロック図である。

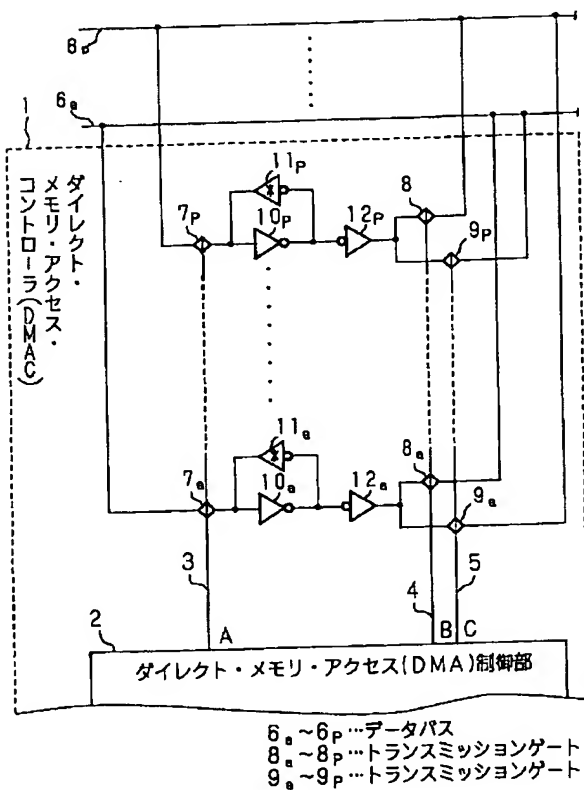
【図6】 本発明に係るダイレクト・メモリ・アクセス・コントローラの実施の形態6の構成を示すブロック図である。

【図7】 従来のダイレクト・メモリ・アクセス・コントローラを備えるデータ転送システムの構成を示すブロック図である。

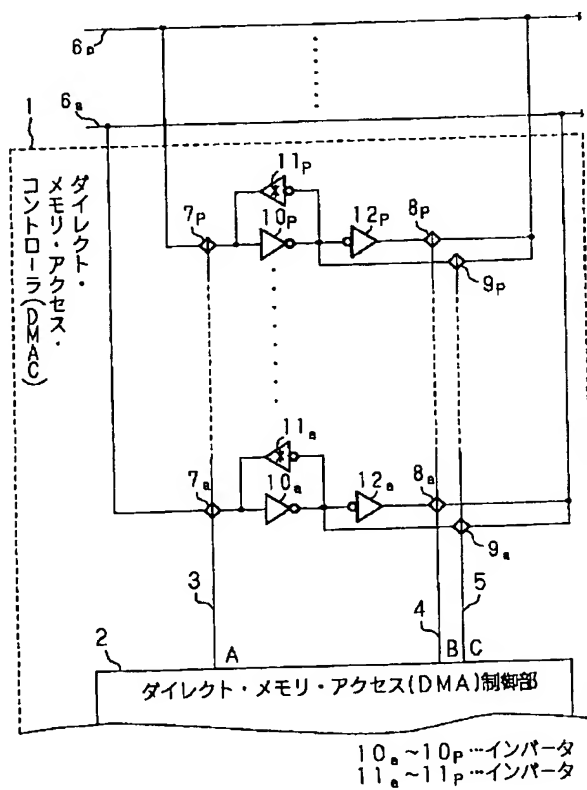
【符号の説明】

1 ダイレクト・メモリ・アクセス・コントローラ、2 ダイレクト・メモリ・アクセス制御部、6a...6p データバス、7a...7p トランスミッションゲート、8a...8p トランスミッションゲート、9a...9p トランスミッションゲート、10a...10p インバータ、11a...11p インバータ、12a...12p インバータ、13 加減算器、15 シフトレジスタ、16a...16p 上位データバス、20a...20p Nチャネルトランジスタ。

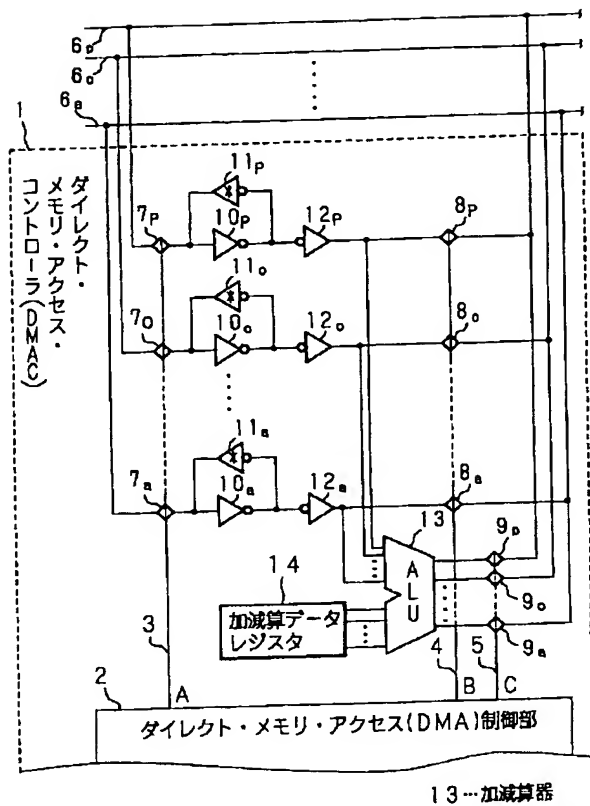
【図1】



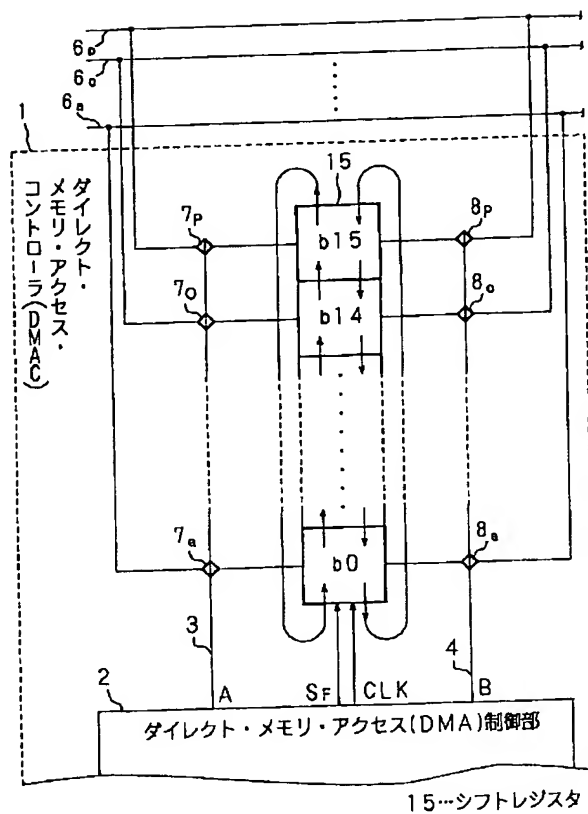
【図2】



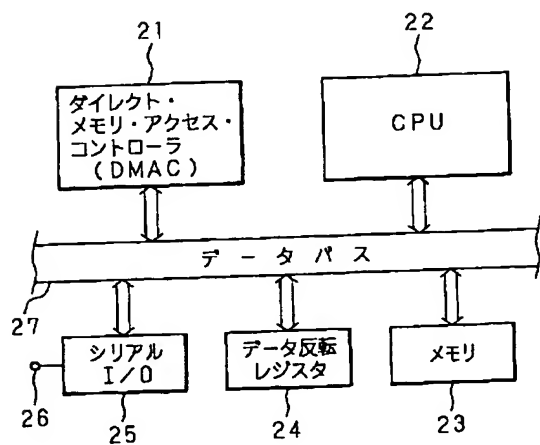
【図3】



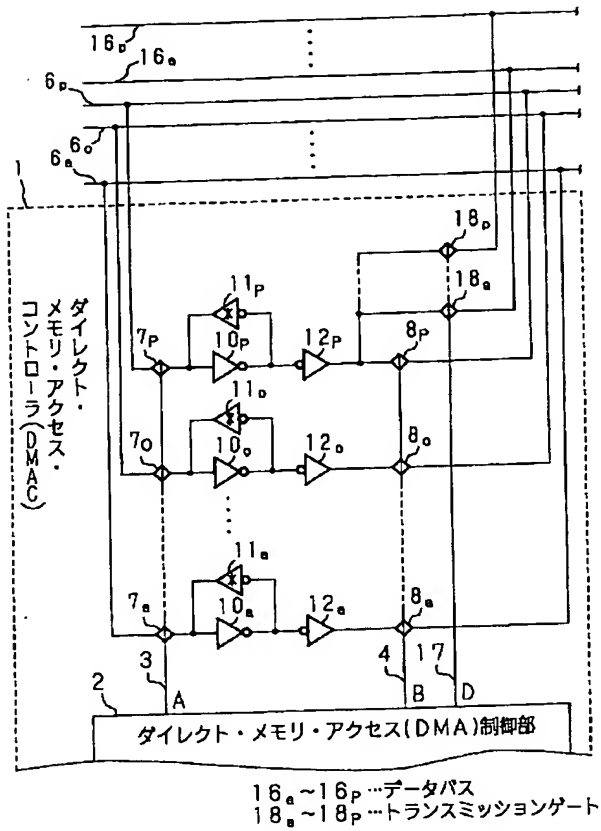
【図4】



【图7】



【図5】



【図6】

